

Korean Patent Office
Patent Publication Gazette

Patent Publication No. 0179563
Date of Publication: November 27, 1998
International Class(es): H01L 21/31

Title of the Invention: Method of Forming Interlayer Planarization
Film of Semiconductor Device

Patent Appln. No. 1995-069477
Filing Date: December 30, 1995
Inventor(s): Park Sang-hyun
Applicant(s): HYUNDAI ELECTRONICS
INDUSTRIES CO., LTD.

(transliterated, therefore the
spelling might be incorrect)

Abstract

The present invention relates to a method of forming an interlayer planarization film of a semiconductor device. More specifically, the present invention relates to a method of forming an interlayer planarization film of a semiconductor device that can have the dielectric film of a DRAM capacitor prevented from being damaged during the flowing step of the interlayer planarization film in the process of fabricating a semiconductor DRAM device. According to the present invention, in the step of forming an interlayer planarization film on the capacitor of a semiconductor DRAM device, the BPSG flowing step is eliminated. Following vapor deposition of an insulation film, the surface is planarized, and then phosphorous atoms are ion-implanted to prevent damage in the dielectric film during the flowing step of high temperature and prevent attachment of respective metal ions during the subsequent steps. Thus, the reliability of the device is improved.

BEST AVAILABLE COPY

(19) 대한민국특허청(KR)

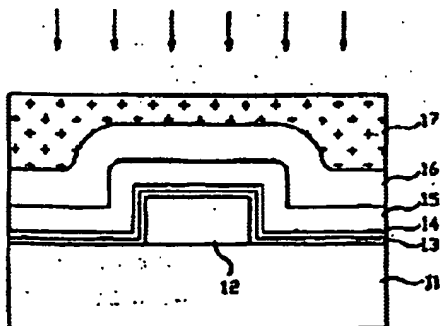
(12) 등록특허공보(B1)

(51) Int. Cl.		(11) 등록번호	특0179563
H01L 21 /31		(24) 등록일자	1998년 11월 27일
(21) 출원번호	특 1995-069477	(65) 공개번호	특 1997-052870
(22) 출원일자	1995년 12월 30일	(43) 공개일자	1997년 07월 29일
(73) 특허권자	현대전자산업주식회사 김주용 경기도 이천군 무밭름 아미리 산 136-1		
(72) 발명자	박상준 경기도 이천군 이천읍 창전 10리 49-17		
(74) 대리인	최홍순		
심사관 : 고광석			
(54) 반도체 소자의 층간 평탄화막 형성방법			

요약

본 발명은 반도체 소자의 층간 평탄화막 형성방법에 관한 것으로, 보다 구체적으로는, 반도체 디램소자의 제조 공정시 층간 평탄화막의 플로우공정으로 인한 디램 캐패시터의 유전체막의 손상을 방지할 수 있는 반도체 소자의 층간 평탄화막 형성방법에 관한 것으로, 본 발명에 따르면, 반도체디램 소자의 캐패시터 상부에 층간 평탄화막을 형성하는 공정에 있어서, 기존의 BPSG의 플로우 공정을 배제하고, 절연막을 증착한다음, 표면을 평탄하게 하고, 이어서 인 현자금 이온 주입함으로써, 고온의 플로우 공정으로 인한 유전체막의 손상 및 이후의 공정시 금속 이온들의 침착을 방지하여 소자의 신뢰성을 향상시킬 수 있다.

도면



발명자

[발명의 명칭]